

(11)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(13) 特許庁公告

特開平 8 - 1 2 5 0 6 6

(14) 公報日 平成 8 年 (1996) 5 月 1 7 日

(15) 特許 (1)

NO. 11/12

11/11

特許記号

特許記号

F 1

特許表示所

A 1111-11

NO. 11/12

L

審査請求 異議請求 再審査請求 4 F D (全 7 頁)

(21) 出願番号 特開平 6 - 2 8 4 5 3 6

(22) 出願日 平成 6 年 (1994) 10 月 2 6 日

(23) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷江坂町一丁目 1 番 1 号

(24) 発明者 八木 裕

東京都新宿区市谷江坂町一丁目 1 番 1 号

大日本印刷株式会社内

(25) 発明者 田中 道雄

東京都新宿区市谷江坂町一丁目 1 番 1 号

大日本印刷株式会社内

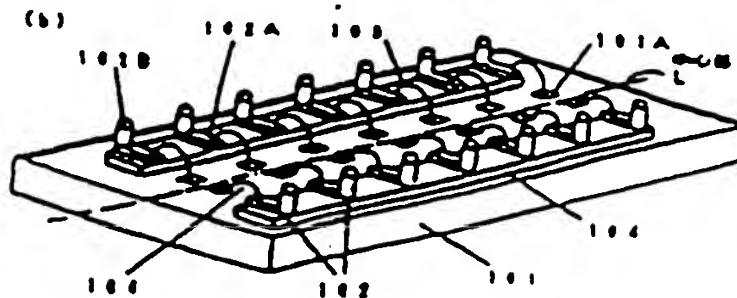
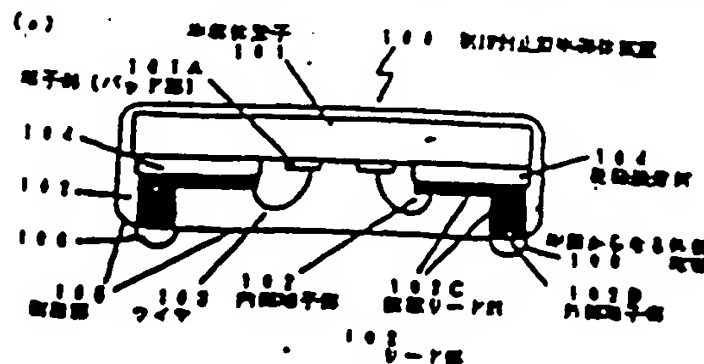
(26) 代理人 弁護士 小西 修典

(34) (発明の名称) 積層型半導体装置とそれを用いられるリードフレーム、及び積層型半導体装置の製造方法

(37) (要約)

【目的】 更なる積層型半導体装置の高集積化、高信頼化が求められている中、半導体装置パッケージサイズにおけるチップの占有量を上げ、半導体装置の小形化に対応させ、同時に従来の T S O P 等の小型パッケージに類似であった更なる多ピン化を実現した積層型半導体装置を提供する。

【構成】 半導体素子の端子側の面に、半導体素子の端子と電気的に接続するための内部端子部と、半導体素子の端子側の面へ配向して外部へと向く外部端子部への接続のための外部端子部と、前記内部端子部と外部端子部とを連結する接続リード部とを一体とした複数のリード部とを、絶縁性材料層を介して、積層して設けてあり、且つ、前記高集積化への実現のための半田からなる外部電極を前記複数のリード部の外部端子部に連結させ、少なくとも前記半田からなる外部電極の一部は前記部より外部に突出させて設けている。



(H. F. H. J. C. K. B.)

(給水項1) 本場は主子の磁子鉄の区に、こまは主子の磁子と電気的に結着するたりの内磁鉄子鉄と、本場は主子の磁子鉄の面へ固定して外鉄へと向く外磁区鉄への接続のための外磁磁子鉄と、上記内磁磁子鉄と外磁磁子鉄とを連結する接取リード部とを一体としたリード部を形成し、地盤層や材料層を介して、結合して仕立てあり、且つ、回路基板等への実装のための本場からなる外磁巻線を同花環状のをリードの外磁磁子鉄に連結させ、少なくとも上記本場からなる外鉄を底の一翼に本局製より外鉄に高出させて出ていることを特徴とする電磁計測型半導体装置。

(図 2) 図 1 において、半導体素子の端子は半導体素子の端子面の一対の辺の略中心位置に於て配設されており、リード線は該素子の端子を挟むように対向し、前記一対の辺にない箇所に設けられていることを特徴とする半導体封止型半導体装置。

(図 2 項 3) 本図は電子の磁石と電氣的に隔離するた
めの内磁電子部と、外磁部とを形成するための外磁電子
部と、前述内磁電子部と外磁電子部とを連結する接続リ
ード部とを一体とし、以外磁電子部を、接続リード部を
介して、リードフレーム面から突出する一方向側に突出
させ、対向し先端部同士で連結部を介して形成する一対
の内磁電子部を形成しており、且つ、各外磁電子部の
下部で、接続リード部と連結し、一体として全体を露出
「る外磁部を形成していることを特徴とするリードフレ
ーム。

(請求項4) 半導体素子の端子側の面に、半導体素子と電気的に接続するための内部端子部と、半導体素子の端子側の面へ直交して外部へと向く外部回路への接続のための外部端子部と、前記内部端子部と外部端子部とを連絡する接続リード部とを一体とした装置のリード部とを、絶縁層形成層を介して、露出させて設けてお、且つ、回路基板等への実装のための半田からなる外電極を前記装置の各リードの外側端子部に導出させ、なくとも前記半田からなる外電極の一部は前記部と外部に露出させて設けている前記防止型半導体装置の他方法であつて、少なくとも、(A)エッチング加工で、半導体素子の端子と電気的に接続するための内部端子部と、外部回路と接続するための外部端子部と、内部端子部と外部端子部とを連絡する接続リード部とを一体とし、該外部端子部を、接続リード部を介して、リードフレーム面から直交する一方所向に突出させ、前記先端部同士で連絡部を介して接続する一方の内側部を接続してお、且つ、各外部端子部の外側で、リード部と導出し、一体として全体を露出する外側設けているリードフレームを形成する工程、(B)リードフレームの外側端子部側でない面(裏面)に材料を設け、打ち抜き金型により、形成する内側端子部を接続する連絡部と該連絡部に対応する位置に設

けられた地盤状況を明らかにし、リードフレームの打ち込み
られた部分がある場合はその位置を正確に示すようにして、地
盤断面を介して、リードフレーム全体を正確に示す子へ
添貼する工役。(C)リードフレームの内部構造を含む不
図の部分を示すように示す工役。

(D) 本機は電子の電子銃と、切斷されて、本機は電子へ戻された内蔵電子銃の先端銃とをワイヤポンディングした後に、解離により外蔵電子銃腔のみを外蔵に取出して今後は封止する工程。(E) 上記外蔵に取出した外蔵電子銃腔に本機からなる内蔵電極を封止する工程、とを含むことを特徴とする解離封止型本機製造法のごとき方法。

(見明の正確な説明)

(0 0 0 1)

(数値上の制限方針) 本見解は、半導体素子を用いる
制御禁止型の半導体装置（プラスチックパッケージ）に
対し、特に、高圧電圧を印加させ、かつ、多ピン化に対
応できる半導体装置とその製造方法に於ける。

(0 0 0 2)

70 【従来の区所】近年、半導体装置は、高集積化、小型化、区所の進歩と電子回路の高集積化と回路微小化の傾向（時代）から、LSIのASICに代替されるように、ますます高集積化、高集積化になってきている。これに伴い、リードフレームを用いた封止型の半導体装置ブラステックパッケージにおいても、その開発のトレンドが、SOJ (Small Outline)-Lead Package) やQFP (Quad Flat Package) のような表面実装型のパッケージを経て、TSOP (Thin Small Outline Package) の開発による薄型化を主軸としたパッケージの小型化へ、さらにはパッケージ内装の3次元化によるチップ収め効率向上を目的としたLOC (Lead On Chip) の試造へと進展してきた。しかし、表面封止型半導体装置パッケージには、高集積化、高集積化とともに、更に一層の多ピン化、薄型化、小型化が求められており、上記従来のパッケージにおいてもチップ外周部分のリードの引き回しがあるため、パッケージの小型化に障壁が見えてきた。また、TSOP等の小型パッケージにおいては、リードの引き回し、ピンピッチから多ピン化に対しても障壁が見えてきた。

100031

【見解が相決しようとする課題】上記のように、異なる用途別製品を共通基盤の高集積化、多機能化が求められており、制御別製品を共通基盤パッケージの一層の多ピン化、厚型化、小型化が求められている。本見解は、このような状況のもと、共通基盤パッケージサイズにおけるチップの占有率を上げ、共通基盤の小型化に対応させ、回路基盤への実装面積を低減できる、即ち、回路基盤への実装密度を向上させることができる制御別製品と共通基盤を提供しようとするものである。また、回路

に従来のT S O P 画の小型パッケージに搭載であった更なる多ピン化を實現しようとするものである。

(0 0 0 4)

〔課題を解決するための手段〕本発明の絶縁防止型半導体装置は、半導体素子の端子側の面に、半導体素子の端子と電気的に接続するための内部端子部と、半導体素子の端子側の面へ露出して外部へと向く外部端子部への接続のための外部端子部と、前記内部端子部と外部端子部とを接続する接続リード部とを一体とした複数のリード部とを、絶縁性層を介して、露出して設けており、且つ、図形基板上への実装のための半田からなる外部電極を前記複数のリードの外部端子部に接続させ、少なくとも前記半田からなる外部電極の一部は前記外部より外部に露出させて設けていることを特徴とするものである。尚、上記において、内部端子部と外部端子部とを一体とした複数のリード部の配列を半導体素子の端子側面上に二次元的に配列し、外部端子部を半田ボールにて形成することによりB C A (B a l l C o n n e c t i o n) タイプの絶縁防止型半導体装置とすることとする。

(0 0 0 5) そして、上記において、半導体素子の端子は半導体素子の端子側の面の一列の辺の端中心部上に設けて配列されており、リード部は複数の端子を挟むように対向し前記一列の辺に沿って設けられていることを特徴とするものである。また、本発明のリードフレームは、絶縁防止型半導体装置用のリードフレームであって、半導体素子の端子と電気的に接続するための内部端子部と、外部端子部とを接続するための外部端子部と、前記内部端子部と外部端子部とを接続する接続リード部とを一体とし、該外部端子部を、接続リード部を介して、リードフレーム面から露出する一方の側に突出させ、且つ、前記外部端子部の外側で、接続リード部と接続し、一体として全体を保持する外部部を設けていることを特徴とするものである。尚、上記リードフレームにおいて、内部端子部と外部端子部とを接続する接続リード部とを一体とした複数のリード部を、リードフレーム面に二次元的に配列するとして形成することによりB C A (B a l l C o n n e c t i o n) タイプの絶縁防止型半導体装置用のリードフレームとすることとする。

(0 0 0 6) 本発明の絶縁防止型半導体装置の製造方法は、半導体素子の端子側の面に、半導体素子の端子と電気的に接続するための内部端子部と、半導体素子の端子側の面へ露出して外部へと向く外部端子部への接続のための外部端子部と、前記内部端子部と外部端子部とを接続する接続リード部とを一体とした複数のリード部とを、絶縁性層を介して、露出して設けており、且つ、図形基板等への実装のための半田からなる外部電極を前記複数のリードの外部端子部に接続させることとする。

図 1 から図 4 は本発明の一例を示す図である。図 1 は、本発明の絶縁防止型半導体装置の断面図である。図 2 は、図 1 の A - A 線に沿った断面図である。図 3 は、図 1 の B - B 線に沿った断面図である。図 4 は、図 1 の C - C 線に沿った断面図である。図 1 に示すように、半導体素子 1 は、絶縁性層 2 を介して、図形基板 3 上に設けられている。半導体素子 1 の端子側の面には、内部端子部 4 と外部端子部 5 とを接続する接続リード部 6 とを一体とした複数のリード部 7 が設けられている。外部端子部 5 は、半田ボール 8 によって図形基板 3 上に接続されている。図 2 に示すように、外部端子部 5 は、接続リード部 6 を介して、リードフレーム 9 面から露出している。図 3 に示すように、外部端子部 5 は、接続リード部 6 を介して、リードフレーム 9 面から露出している。図 4 に示すように、外部端子部 5 は、接続リード部 6 を介して、リードフレーム 9 面から露出している。

(0 0 0 7)

〔作用〕本発明の絶縁防止型半導体装置は、上記のような構成にすることにより、半導体装置パッケージサイズにおけるチップの占有率を上げ、半導体装置の小型化に対応できるものとしている。即ち、半導体装置の図形基板への実装性を確保し、図形基板への実装性の向上を可能としている。詳しくは、内部端子部、外部端子部とを一体とした複数のリード部を半導体素子側に接続させることにより、半導体素子側に半田ボールを二次元的に配列することにより、半導体装置の多ピン化を可能としている。半田からなる外部電極を半田ボールとし、二次元的には外部電極を配列した場合にはB C A タイプとなり、半導体装置の多ピン化に対応できる。また、上記において、半導体素子の端子が半導体素子の端子側の面の一列の辺の端中心部上に設けて配列され、リード部は複数の端子を挟むように対向し前記一列の辺に沿って設けられており、簡単な構造とし、製造性に優れた構造としている。本発明のリードフレームは、上記のような構成にすることにより、上記絶縁防止型半導体装置の製造を可能とするものであるが、通常のリードフレームと異なり、エッチ

とができる。本発明の製造方法及び半導体装置の製造方法は、上記リードフレームを用いて、リードフレームの外周部を形成しない面（裏面）に絶縁層を形成し、前記絶縁層を介して、リードフレームの開口部から半導体素子の端子部を露出させるようにして、前記絶縁層を介して、リードフレーム全体を半導体素子へ接合し、リードフレームの外周部を含む半導体素子の部分を前記絶縁層により被覆することにより、内部素子と外部素子とを一体とした構造を多量に半導体装置上に形成した。本発明の、半導体装置の小型化が可能で、且つ、多ピン化が可能で、製造コストを低減させることができる。且つ、多ピン化が可能で、製造コストを低減させることができる。

(0008)

(実施例) 本発明の製造方法及び半導体装置の実施例を以下、図にそって説明する。図1(a)は本発明の製造方法及び半導体装置の断面図であり、図1(b)は半導体装置の平面図である。図1中、100は絶縁層、101は半導体素子、102はリード部、102Aは内部端子部、102Bは外部端子部、102Cはリード部、101Aは端子部（パッド部）、103はワイヤ、104は絶縁層、105は絶縁層、106は半田（ペースト）からなる外部電極である。本発明の製造方法及び半導体装置は、上述するリードフレームを用いたもので、内部端子部102A、外部端子部102Bを一体とした半導体素子のリード部102を多量に半導体装置101上に絶縁層104を介して形成し、且つ、外部端子部102B先に半田からなる外部電極を絶縁層105より外部へ突出させて設けた。パッケージ化が容易な半導体装置の面積に相当する製造方法及び半導体装置であり、図1(a)に示すように、半田（ペースト）を用いて、図1(b)に示すように、半導体素子101の端子部（パッド部）101Aは半導体素子の中心部とは異なる位置に2箇所、中心部101に近接して形成されており、リード部102は、内部端子部102Aが前記端子部（パッド部）101Aに近接した位置に半導体素子101の面の外側に中心部を挟み対向するように形成されている。外部端子部102Bは内部端子部102Aから形成リード部102Cを介して形成されており、半導体素子の表面に形成された位置で半導体素子面に近接する方向に、形成リード部102Cが水平に伸び、外部端子部102Bはその先端に形成し、半導体素子の面に水平な方向で一元的に配列されている。即ち、中心部101を挟み2列の外周部に102Bの配列を設けている。そして、外部端子部102Bに近接させ、半田（ペースト）からなる外部電極106を絶縁層105より外部へ突出させて設けている。

1. 絶縁層材料104としては、100μm程度のポリド系の熱可塑性材料PM122C（日立化成株式会社

と製）を用いたが、他には、シリコン系ポリイミド（TAI715（住友ヘテロライト株式会社）や有機化学物質P.H.C.200（住友化学株式会社）等が用いられる。上記実施例では、半田ペーストからなる外部電極であるが、この部分は半田ボールに代えてもよい。尚、本発明の製造方法及び半導体装置は、上記のように、パッケージ化が容易な半導体装置の面積に相当する、面積的に小型化されたパッケージであるが、組み立て方向について、4mm、0.5mm以下にすることができ、厚さ方向に薄くできるものである。本発明においては外部電極を、半導体素子の端子部（パッド部）101Aに近接して形成したが、半導体素子の端子部の位置を二次元的に配列し、内部端子部と外部端子部との一体となった構造を形成し、半導体素子の端子部に二次元的に配列して形成することにより、半導体素子の、一面の多ピン化に十分対応できる。

(0009) 次に、本発明のリードフレームの実施例を説明し、図にそって説明する。本発明のリードフレームは、上記実施例の半導体装置に用いられたものである。図2は本発明のリードフレームの断面図を示すもので、図2中、200はリードフレーム、201は内部端子部、202は外部端子部、203は形成リード部、204は絶縁層、205は外部電極である。リードフレームは42合金（Ni42%のFe合金）からなり、リードフレームの厚さは、内部端子部のある側面部で0.05mm、外部端子部のある側面部で0.2mmである。内部端子部の対向する先端部同士を連結する連結部205も同厚（0.05mm）に形成されており、上述する半導体装置を形成する際の開口部を金型にて開口とし、開口部となっている。本実施例では外部端子部202は丸状であるが、これに限定されない。また、リードフレーム材料として42合金を用いたがこれに限定されない。銅合金でもよい。

(0010) 次に、上記実施例のリードフレームの製造方法を図を用いて簡単に説明する。図3は本発明のリードフレームを製造した工程を示したものである。まず、42合金（Ni42%のFe合金）からなる、厚さ0.2mmのリードフレーム原料300を準備し、図3(a)は、リードフレーム原料300の両面に感光性のレジスト301を塗布し、乾燥した。図3(b)は、

次に、リードフレーム原料300の両面から所定のパターンを用いてレジストの所定の部分のみに露光を行った後、現像処理し、レジストパターン301Aを形成した。図3(c)は

レジストとして感光性レジスト（PMERレジスト）を使用した。次に、レジストパターン301Aを形成した。図3(d)は、48ボームの塩化第二鉄溶液にて、リードフレーム原料300の両面からスプレーエッチングして、外部電極

の基板図が図2に示され、リードフレームを付した
(図3(c))。図2(b)には、図2(a)~(c)に
おける基板図である。この図、レジストを付した後、
洗浄処理を施した後、所定の箇所(内部端子部分を含む
領域)のみに金メッキ処理を行った。(図3(e))
尚、上記リードフレームの製造工程においては、図2
(b)に示すように、厚肉部と薄肉部を形成するため、
外装端子形成面側からのエッチング(図3)を多く行
い、反対面側からは少なめにエッチング(図3)を行っ
た。また、金メッキに加え、銅メッキやパラジウムメッ
キでも良い。上記のリードフレームの製造方法は、1ヶ
の半導体装置を形成するために必要なリードフレーム1
ヶの製造方法であるが、通常は基板図の図から、リード
フレーム部をエッチング加工する時、図2に示すリード
フレームを複数個付けした状態で作成し、上記の工
程を行う。この場合は、図2に示す外装部205の一部
に露出する領域(図示していない)をリードフレームの
外側に付けて露出状態とする。
(0011)次に、上記のようにして作成されたリード
フレームを用いた、本発明の露出防止型半導体装置の製
造方法の実施例を図に示して説明する。図4は、本発明
の露出防止型半導体装置の製造工程を示すものである。
図3に示すようにして作成されたリードフレーム400
の外装端子部402形成面(図面)と反対する面側に、
ポリイミド系熱硬化型の絶縁層材料(チープ)401
(日立化成株式会社製、HM122C)を、400'
C、6Kg/m²で1.0秒間圧着して貼りつけた(図
4(a))。この状態の平面図を図5に示す。この状態
では、金型405A、405Bにて(図4(b))、引
向する内部端子部の先端部を露出する露出部403と、
その部分の絶縁層材料(チープ)401とを打ち抜い
た。(図4(c))
次いで、外装打ち抜きおよび圧着用金型406A、40
6Bを用い、外装部404を含む不要の部分を取り除く
(図4(d))と同時に、絶縁層材料404を介して半
導体素子407上にリード部408の熱圧着を行った。
(図4(e))
尚、この図4(d)に示す、作成リードと露出してリー
ドフレーム全体を支えている外装部204を含む不要の
部分を切り除くのは、露出防止した後に付しても良い。こ
の場合には、通常の半導体リードフレームを用いたQFP
パッケージ時のようにダムバー(図示していない)を設
けると良い。リード部410を半導体素子411へ接続
した後、ワイヤ414により、半導体素子の端子(パ
ッド)411Aとリード部410の内部端子410Aと
を電気的に接続した。(図4(f))
その後、所定の金型を用い、エポキシ系の樹脂415で
リード部410の外装端子部410Bのみを固定させ
て、全体を封止した。(図4(g))
ここでは、樹脂の金型(図示していない)を用いたが、

所定の面(外装端子部)を封止する封止材を用いて、
ししき型に必要としない。次いで、図4に示すように、
外装部410B上に半導体ペーストをスクリーン印刷によ
り塗布し、半田(ペースト)からなる外装端子部416を
作成し、本発明の露出防止型半導体装置を作成した。
(図4(h))

尚、半田からなる外装端子部416の作成は、スクリーン
印刷に限定されるものではなく、リフローまたはポッテ
イング等でも、図4に示す半田ペーストの形成に必要
な量の半田が得られれば良い。

(0012)

(発明の効果)本発明は、上記のように、更なる露出防
止型半導体装置の高信頼化、高機能化が求められる状
況のもと、半導体装置パッケージサイズにおけるチップの
占有部を上げ、半導体装置の小型化に対応させ、図4に
示す半田ペーストを低減できる。即ち、図4に示す半
田ペーストを向上させることができる半導体装置の提供を可能と
したものであり、同時に従来のTSSOP等の小型パッ
ケージに適用であった更なる多ピン化を実現した露出防止
型半導体装置の提供を可能としたものである。

(図面の簡単な説明)

(図1)本発明の露出防止型半導体装置の概略図及び
平面図

(図2)本発明のリードフレームの平面図

(図3)本発明のリードフレームの製造工程図

(図4)本発明の露出防止型半導体装置の製造工程図

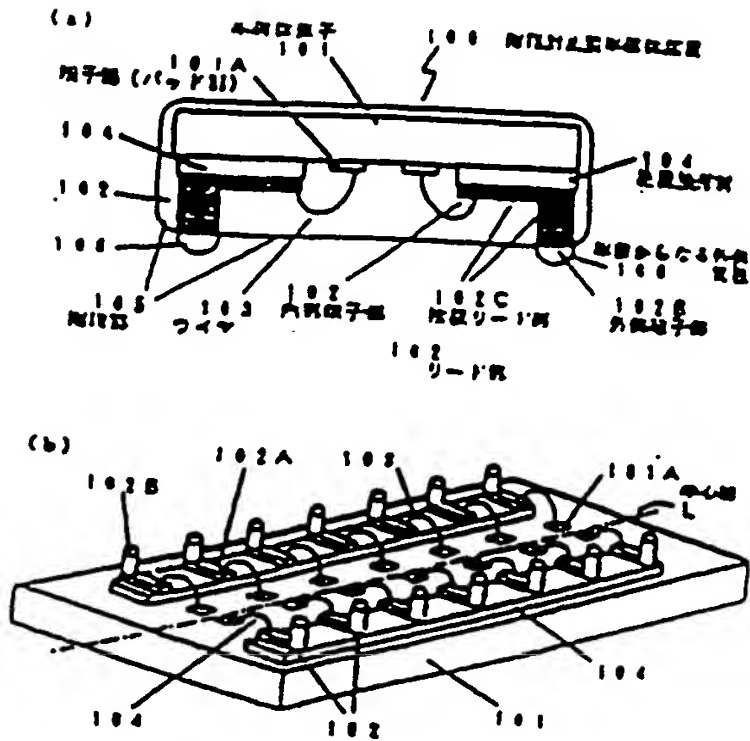
(図5)本発明のリードフレームに絶縁層材料を貼りつ
けた状態の平面図

(符号の説明)

100	露出防止型半導体装置
101	半導体素子
101A	端子部(パッド部)
102	リード部
102A	内部端子部
102B	外装端子部
102C	作成リード部
103	ワイヤ
104	絶縁層材料
105	樹脂部
106	半田(ペースト)からなる外装
200	リードフレーム
201	内部端子部
202	外装端子部
203	作成リード部
204	通孔部
205	外装部
300	リードフレーム材料
301	レジスト
400	リードフレーム
401	絶縁層材料
402	外装端子部
403	露出部
404	絶縁層材料
405A	打ち抜き金型
405B	打ち抜き金型
406A	圧着金型
406B	圧着金型
407	半導体素子
408	リード部
409	ワイヤ
410	リード部
410A	内部端子
410B	外装端子
411	半導体素子
411A	端子部(パッド部)
412	ワイヤ
413	ワイヤ
414	ワイヤ
415	樹脂
416	半田ペースト

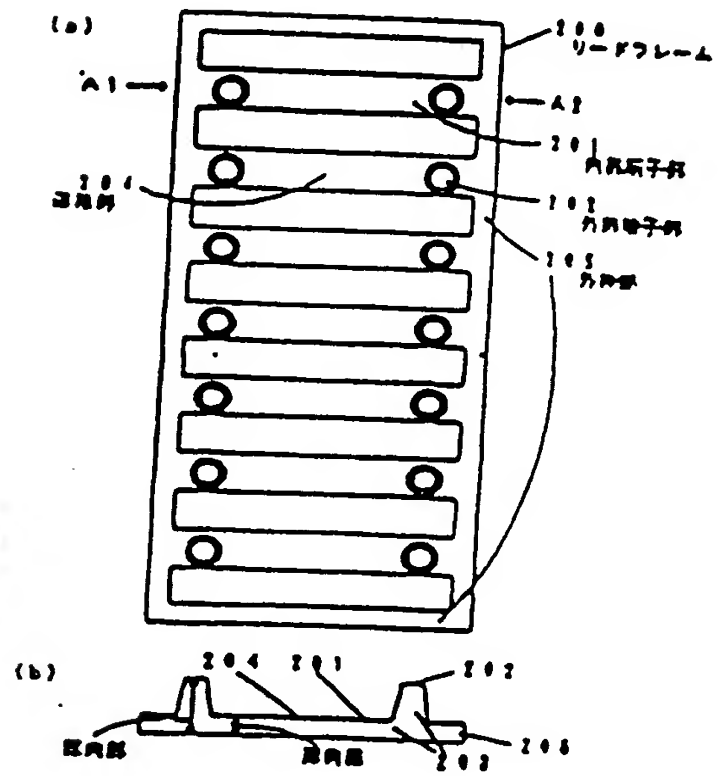
303A	内装端子部
303B	外装端子部
304	送信部
305	受メッキ部
306	外装部
400	リードフレーム
401	絶縁性基材 (テープ)
402	外装端子部
403	送信部

(図 1)

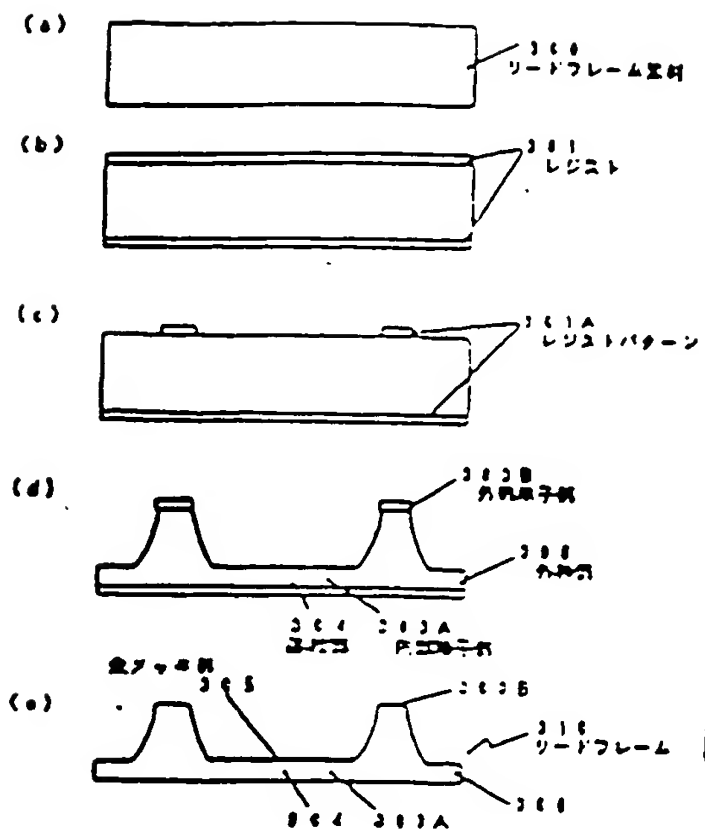


405A, 405E	1750222
406A, 406B	外装端子部
410	リード部
410A	内装端子部
410B	外装端子部
410C	絶縁性基材
411	本装端子部
411A	ワイヤ
415	絶縁部

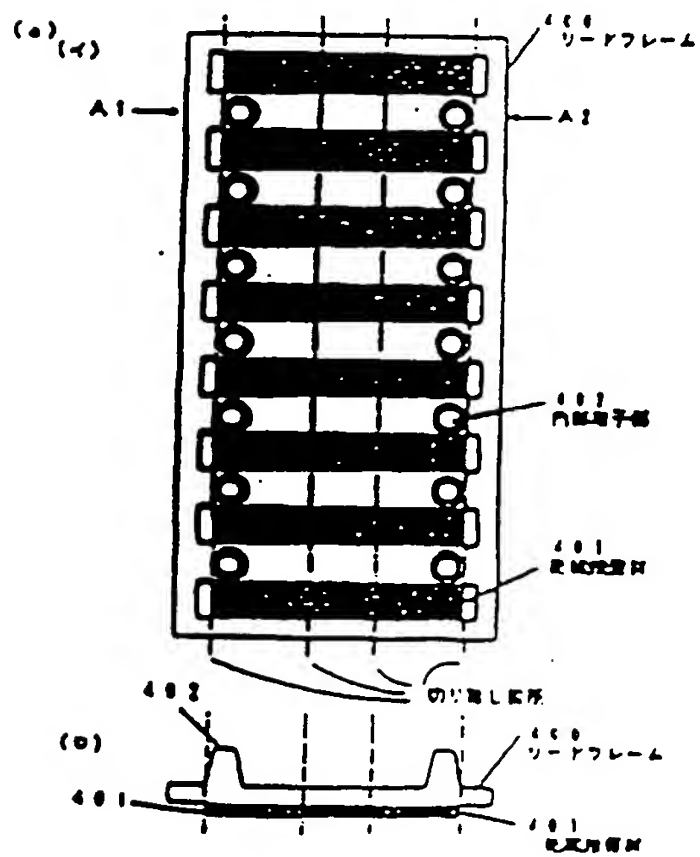
(図 2)



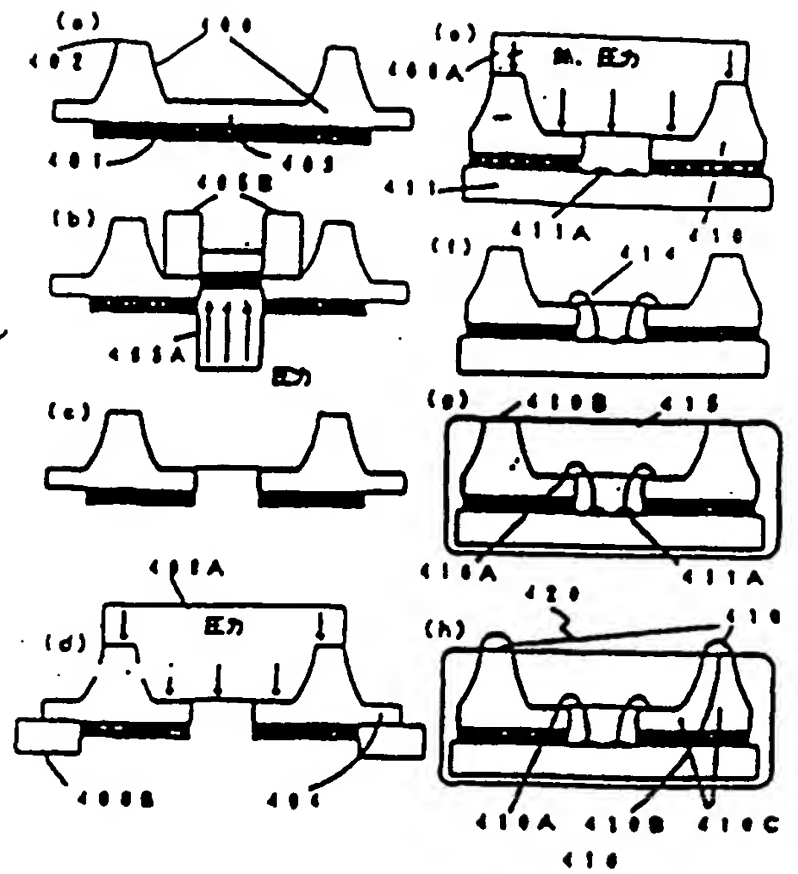
(図 3)



(図 5)



(図 4)



Japanese Patent Laid-Open Publication No. Heisei 8-125066

[TITLE OF THE INVENTION]

Resin Encapsulated Semiconductor Device, Lead Frame
5 Used Therein, and Fabrication Method for the Resin
Encapsulated Semiconductor Device

[CLAIMS]

1. A resin encapsulated semiconductor device
10 comprising:
a semiconductor chip;
a plurality of leads fixedly attached to a terminal-
end surface of the semiconductor chip by an insulating
adhesive interposed between the semiconductor chip and the
15 leads, each of the leads including integral portions, that
is, an inner terminal portion adapted to be electrically
connected to an associated one of terminals of the
semiconductor chip, an outer terminal portion extending
outwardly in a direction orthogonal to the terminal-end
20 surface of the semiconductor chip and adapted to be
connected to an external circuit, and a connecting lead
portion adapted to connect the inner and outer terminal
portions to each other; and
outer electrodes each connected to the outer terminal
25 portion of an associated one of the leads and made of

solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate.

5 2. The resin encapsulated semiconductor device according to claim 1, wherein the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip,
10 and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets.

15 3. A lead frame comprising:
a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to
20 be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other;

25 each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame

surface via an associated one of the connecting lead portions;

the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively;

connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs; and

an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame.

4. A method for fabricating a semiconductor device including a semiconductor chip, a plurality of leads fixedly attached to a terminal-end surface of the semiconductor chip by an insulating adhesive-interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit,

and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate, comprising the steps of:

(A) fabricating a lead frame including a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other, each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame surface via an associated one of the connecting lead portions, the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively, connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs, and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form

an integral structure together, thereby protecting the entire portion of the lead frame;

(B) applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween;

(C) cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions;

(D) wire-bonding the terminals of the semiconductor chip with tips of the inner terminal portions mounted on the semiconductor chip, and encapsulating the semiconductor chip and the lead frame by a resin while allowing a surface of the lead frame toward the outer terminal portions to be externally exposed; and

(E) forming outer electrodes made of solder on the exposed lead frame surface toward the outer terminal portions.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a resin encapsulated semiconductor device (plastic package) in which a semiconductor chip is packaged, and more particularly to a semiconductor device configured to achieve an improvement in mounting density or to have a multi-pinned structure and a method for manufacturing such a semiconductor device.

10 [DESCRIPTION OF THE PRIOR ART]

Recently, semiconductor devices have been developed to have a higher integration degree and a higher performance by virtue of developments of techniques associated with an increase in integration degree and miniaturization and in pace with the tendency of electronic appliances to have a high performance and a light, thin, simple, and miniature structure. A representative example of such semiconductor devices is an ASIC of LSI. For instance, developments of resin encapsulated semiconductor device plastic packages have been advanced from surface-mounting packages such as SOJs (Small Outlined-Leaded Packages) or QFPs (Quad Flat Packages) to packages having a miniature structure mainly achieved in accordance with a thinness obtained by virtue of developments of TSOPs (Tin Small Outline Packages) or to LOC (Lead On Chip) structures

adapted to achieve an improvement in the chip packaging efficiency by virtue of developments of an internal three-dimensional package structure. In addition to an increase in integration degree and improvement in performance, there has also been growing demand for an increase in the number of pins, thickness, and miniaturization of resin encapsulated semiconductor packages. In the above mentioned conventional packages, however, there is a limitation in miniaturization because those packages have a structure in which leads are arranged around a chip. Similarly, leads are arranged around a chip in the case of miniature packages such as TSOPs. In such packages, there is also a limitation in increasing the number of pins due to the pin pitch used.

15

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

As mentioned above, there has been demand for an increase in integration degree and improvement in performance of resin encapsulated semiconductor devices. Also, there has also been growing demand for an increase in the number of pins, thickness, and miniaturization of resin encapsulated semiconductor packages. In such situations, the present invention makes it possible to increase the occupancy degree of a chip in a semiconductor package with a limited size while reducing the mounting area of the

semiconductor package on a circuit board to achieve a miniaturization of the resulting semiconductor device. That is, the present invention is adapted to provide a resin encapsulated semiconductor device capable of achieving an improvement in the mounting density thereof on a circuit board. Also, the present invention is adapted to achieve an increase in the number of pins which is difficult in miniature packages such as conventional TSOPs.

10 [MEANS FOR SOLVING THE SUBJECT MATTERS]

The resin encapsulated semiconductor device of the present invention is characterized in that it comprises: a semiconductor chip; a plurality of leads fixedly attached to a terminal-end surface of the semiconductor chip by an insulating adhesive interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the

leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate. The above semiconductor device can be embodied into a BGA (Ball Grid Array) type resin encapsulated semiconductor device by arranging a plurality of leads each having an inner terminal portion and an outer terminal portion integral with each other in a two-dimensional fashion on the terminal-end surface of the semiconductor chip and forming the outer electrodes in the form of solder balls.

The above semiconductor device is also characterized in that the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets. The lead frame of the present invention is characterized in that it comprises: a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be

connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame surface via an associated one of the connecting lead portions; the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively; connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs; and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame. The above lead frame can be embodied into a lead frame for a BGA (Ball Grid Array) type resin encapsulated semiconductor device by arranging a plurality of leads each having an inner terminal portion and an outer terminal portion integral with each other in a two-dimensional fashion on the terminal-end surface of the semiconductor chip and forming the outer electrodes in the form of solder balls.

The present invention is also characterized by a method for fabricating a semiconductor device including a semiconductor chip, a plurality of leads fixedly attached

to a terminal-end surface of the semiconductor chip by an insulating adhesive interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate, comprising the steps of: (A) fabricating a lead frame including a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other, each of the outer terminal portions of the leads being protruded in a direction orthogonal to a

lead frame surface via an associated one of the connecting lead portions, the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively, connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs, and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame; (B) applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween; (C) cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions; (D) wire-bonding the terminals of the semiconductor chip with tips of the inner terminal portions mounted on the semiconductor chip, and

encapsulating the semiconductor chip and the lead frame by
a resin while allowing a surface of the lead frame toward
the outer terminal portions to be externally exposed; and
(E) forming outer electrodes made of solder on the exposed
5 lead frame surface toward the outer terminal portions.

[FUNCTIONS]

With the above mentioned configuration, the resin
encapsulated semiconductor device of the present invention
10 can increase the occupancy degree of the chip while
achieving a miniaturization thereof. That is, the resin
encapsulated semiconductor device is capable of reducing
the mounting area thereof on a circuit board and achieving
an improvement in the mounting density thereof on the
15 circuit board. In particular, the present invention
achieves a miniaturization of the semiconductor device by
fixedly attaching a plurality of leads each including an
inner terminal portion and an outer terminal portion
integral with each other to a surface of a semiconductor
20 chip by an insulating adhesive layer interposed between the
semiconductor chip and the leads, and connecting outer
electrodes made of solder to the outer terminal portions,
respectively. Also, the present invention achieves an
increase in the number of pins in the semiconductor device
25 by arranging the outer electrodes made of solder in a two-

dimensional fashion on a plane parallel to the surface of the semiconductor chip. Where the outer electrodes made of solder are formed in the form of solder balls and arranged in a two-dimensional fashion, a BGA type semiconductor device capable of achieving an increase in the number of pins can be obtained. In the above semiconductor device, the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets. Thus, the semiconductor device has a simple structure suitable in regard to productivity. The lead frame of the present invention makes it possible to fabricate the above mentioned resin encapsulated semiconductor device by virtue of there above mentioned configuration thereof. However, this lead frame can be fabricated using a half etching method during an etching process as used for conventional lead frames. The method for fabricating a resin encapsulated semiconductor device in accordance with the present invention involves the steps of applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out

the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween, and cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions. Thus, a plurality of leads each including an inner terminal portion and an outer terminal portion integral with each other are mounted on a semiconductor chip. Accordingly, the present invention makes it possible to achieve a miniaturization of semiconductor devices. In accordance with the present invention, it is also possible to fabricate a resin encapsulated semiconductor device having an increased number of pins.

20

[EMBODIMENTS]

Hereinafter, embodiments of the present invention associated with resin encapsulated semiconductor devices will be described in conjunction with the annexed drawings. Fig. 1A is a cross-sectional view schematically

25

illustrating a resin encapsulated semiconductor device according to an embodiment of the present invention. Fig. 1B is a perspective view illustrating an essential part of the resin encapsulated semiconductor device. Figs. 1A and 5 1B, the reference numeral 100 denotes the resin encapsulated semiconductor device, 101 a semiconductor chip, 102 leads, 102A inner terminal portions, 102B outer terminal portions, 102C connecting lead portions, 101A contacts (pads), 103 wires, 104 an insulating adhesive, 105 10 a resin encapsulate, 106 outer electrodes made of solder (paste), respectively. The resin encapsulated semiconductor device according to this embodiment is fabricated using a lead frame which will be described hereinafter. In this resin encapsulated semiconductor 15 device, a plurality of L-shaped leads 102, each of which has an inner terminal portion 102A and an outer terminal portion 102 integral with each other, are mounted on a semiconductor chip 101 by means of an insulating adhesive 104. An outer electrode 106, which is made of solder, is 20 attached to each outer terminal portion 102B. The outer electrode 106 is outwardly protruded from a resin encapsulate 105. The resin encapsulated semiconductor device configured as mentioned above has a package area substantially equal to the entire area thereof. When this 25 semiconductor device is mounted on a circuit board, the

solder is melted and then solidified to allow the outer terminal portions 102B to be electrically connected to an external circuit. In the resin encapsulated semiconductor device according to the illustrated embodiment, contacts (pads) 101A provided at the semiconductor chip 101 are arranged in pairs along a center line L of the semiconductor chip 101 at opposite sides of the center line L in such a fashion that contacts included in each contact pair face each other. The outer terminal portion 102B of each lead is spaced apart from the inner terminal portion 102A of the lead. Between the inner and outer terminal portions 102A and 102B, a connecting lead portion 102C is interposed. The connecting lead portion 102C of each lead is bent in a direction orthogonal to the major surface of the semiconductor chip at a position near an associated one of the side surfaces of the semiconductor chip 101, so that it has an L shape. In each lead, the outer terminal portion 102B is arranged at an end of the connecting lead portion 102C. The outer terminal portions 102B of the leads are arranged in a one-dimensional fashion on a plane parallel to the major surface of the semiconductor chip 101. That is, the outer terminal portions 102B are arranged in two lines at opposite sides of the center line L. As mentioned above, one outer electrode 106 made of solder is connected to the outer terminal portion 102B of

each lead and outwardly exposed from the resin encapsulate 105.

For the insulating adhesive 104, a polyimide-based thermoplastic adhesive having a thickness of 100 μ m (HM122C manufactured by Hitachi Chemical Co., Ltd.) is preferably used. Alternatively, a silicon denaturalized polyimide adhesive (ITA1715 manufactured by Sumitomo Bakelite Co., Ltd.) or a thermosetting adhesive (HG5200 manufactured by Tomoeakawa Papermaking Co., Ltd.) may be used. Although outer electrodes made of solder paste are used in the illustrated embodiment, solder balls may be used.

As mentioned above, the resin encapsulated semiconductor device according to the illustrated embodiment has a package area substantially equal to the entire area thereof. That is, the illustrated embodiment of the present invention provides a package having a compact structure in regard to area. In accordance with the present invention, a thinned package structure can also be provided in that it is also possible to reduce the package thickness to about 1.0 mm or less. Although the outer electrodes have been described as being arranged in two lines along the contacts (pads) of the semiconductor chip, they may be arranged in a two-dimensional fashion. This is achieved by arranging contacts of the semiconductor chip in a two-dimensional fashion. On the surface of the

semiconductor chip arranged with those contacts, a plurality of terminal sets each having an inner terminal and outer terminal integral with each other are arranged in a two-dimensional fashion. In this case, it is possible to
5 fabricate a semiconductor device using a semiconductor chip with an increased number of pins.

An embodiment of the present invention associated with a lead frame will now be described. The lead frame according to this embodiment is adapted to be used in the
10 above mentioned semiconductor device. Fig. 2 is a plan view of the lead frame according to this embodiment. In Fig. 2, the reference numeral 200 denotes a lead frame, 201 inner terminal portions, 202 outer terminal portions, 203 connecting lead portions, 204 a connecting portion, and 205
15 an outer frame portion, respectively. The lead frame is made of 42 ALLOY (namely, an Fe alloy containing 42% Ni). The lead frame has a thickness of 0.05 mm at its thinner portion, that is, the inner terminal portions, and a thickness of 0.2 mm at its thicker portion, that is, the
20 outer terminal portions. The connecting portion, which connects facing tips of the inner terminal portions to each other, has a thickness of 0.05 mm corresponding to that of the thinner portion. This connecting portion has a
25 structure capable of allowing an easy punching thereof in the fabrication of the semiconductor device, as described

hereinafter. Although the outer terminal portions 202 have a ball shape in the illustrated embodiment, they are not limited to this shape. Also, although the lead frame has been described as being made of the 42 ALLOY, it is not limited to this material. For the lead frame, a copper-based alloy may be used.

Now, fabrication of the lead frame according to the illustrated embodiment will be described in brief. Fig. 4 illustrates a process for fabricating the lead frame according to the illustrated embodiment. First, a lead frame blank 300 having a thickness of 0.2 mm was prepared which is made of a 42 ALLOY (an Fe alloy containing 42% Ni). The prepared lead frame blank 300 was then subjected to a cleaning process, thereby removing grease from the surfaces thereof (Fig. 3a). Subsequently, photoresist films 301 were coated over both surfaces of the lead frame blank 300, respectively. The coated photoresist films 301 were then dried (Fig. 3b).

Using desired pattern plates, the photoresist films 301 on both surfaces of the lead frame blank 300 were exposed to light at their desired portions. A developing process was then conducted to the light-exposed photoresist films 301, thereby forming photoresist patterns 301A.

For the photoresist films, a negative liquid-phase resist (PMER resist) manufactured by Tokyo Ohka Co., Ltd.

was used. Using the resist patterns 301A as anti-etch films, the lead frame blank 300 was subjected to a spray etching process at both surfaces thereof. The spray etching process was conducted using a ferric chloride solution of 48 BAUME at 57 °C. Thus, a lead frame having a structure of Fig. 2a was obtained (Fig. 3d). Fig. 2a is a plan view of the lead frame. Fig. 2b is a cross-sectional view taken along the line A1 - A2 of Fig. 2a. Thereafter, the remaining photoresist thin films were peeled off. The resulting structure was then subjected to a cleaning process. A gold plating process was subsequently conducted for desired portions of the lead frame, that is, regions including inner terminal portions (Fig. 3e).

In the fabrication process of the lead frame, the etching process was conducted with a large etch depth at one major surface of the lead frame blank where outer terminal portions are to be formed, and with a small etch depth at the other major surface of the lead frame. In place of the gold plating, silver or palladium plating may be utilized. The above mentioned lead frame fabrication process is adapted to manufacture a single lead frame required for the manufacture of a single semiconductor device. In terms of productivity, however, the etching process is conducted for lead frame units each corresponding to the single lead frame shown in Fig. 2. To

this end, a frame member (not shown) is provided at a desired portion of the peripheral edge of the lead frame so as to connect a desired part of the outer frame portion 205 shown in Fig. 2 to a corresponding one of an adjacent lead frame.

Using the lead frame fabricated as mentioned above, the resin encapsulated semiconductor device according to the present invention was fabricated. Now, a method for fabricating the resin encapsulated semiconductor device in accordance with an embodiment of the present invention will be described. Fig. 4 illustrates the method for fabricating the resin encapsulated semiconductor device in accordance with the embodiment of the present invention. A polyimide-based thermosetting insulating adhesive (tape) 401 (HM122C manufactured by Hitachi Chemical Co., Ltd.) was applied to one surface, formed with the outer terminal portions 402, of the lead frame 400 fabricated as in Fig. 3 and the outer surface of the lead frame 400 using a hot pressing process conducted at 400 °C and 6 Kg/m² for 1.0 second (Fig. 4a). The resulting structure is shown in Fig. 5 which is a plan view. Thereafter, the connecting portions 403 connecting facing tips of the inner terminal portions were punched using punching dies 405A and 405B (Fig. 4b). Also, portions of the insulating adhesive

(tape) corresponding to those connecting portions 403 were punched (Fig. 4c).

Subsequently, unnecessary portions of the lead frame including the outer frame 404 were cut off using outer frame punching and pressing dies 406A and 406B (Fig. 4d).
5 The lead frame was then bonded to a semiconductor chip 407 at its leads 410 under pressure while applying heat (Fig. 4e).

The process for cutting off the unnecessary portion of the lead frame including the outer frame 404 supporting
10 the entire portion of the lead frame along with the connecting lead portion, as shown in Fig. 4d, may be carried out after an resin encapsulating process. In this case, dam bars (not shown) are preferably provided, as in
15 QFP packages typically using a lead frame having a single layer structure. After the mounting of the leads 410 on the semiconductor chip 411, the inner terminal portion 410 of each lead 410 was electrically connected to an associated one of terminals (pads) 411A of the
20 semiconductor chip 411 (Fig. 4f).

Subsequently, an epoxy-based resin 415 was molded to encapsulate the resulting structure while exposing the outer terminal portions 410B of the leads 410 using a desired mold (Fig. 4g).

Although a specific mold (not shown) was used for the above process in the illustrated case, use of such a die may be unnecessary in so far as the resin encapsulating process can be conducted under the condition in which
5 desired portions (outer terminal portions) of the lead frame are left. Thereafter, a solder paste was coated on the exposed outer terminal portions 410B in accordance with a screen printing process, thereby forming outer electrodes
416 made of solder (paste). Thus, the fabrication of the
10 resin encapsulated semiconductor device according to the present invention was achieved (Fig. 4h).

Although the formation of the outer electrodes 416 made of solder has been described as being achieved using a screen printing process, it may be achieved using a reflow
15 or bonding process in so far as an amount of solder required for a connection of the semiconductor device to a circuit board is obtained.

[EFFECTS OF THE INVENTION]

20 As apparent from the above description, the present invention makes it possible to increase the occupancy degree of a semiconductor chip in a semiconductor package in situations requiring new resin encapsulated
semiconductor devices having a highly integrated structure
25 while exhibiting a high performance. The present invention

also makes it possible to reduce the area of the semiconductor device on a circuit board in order to cope with a compactness of the semiconductor device. That is, the present invention can provide a semiconductor device
5 capable of achieving an improvement in the mounting density on a circuit board. At the same time, the present invention can provide a resin encapsulated semiconductor device having a new multipinned structure which could not be realized in compact packages such as conventional TSOPs.